

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年12月 8日

出 願 番 号

Application Number:

特願2000-375104

出 願 人

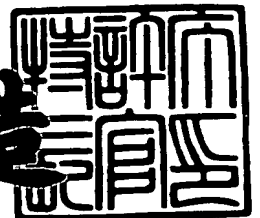
Applicant (s):

セイコーエプソン株式会社

2001年 1月12日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-311100

【書類名】 特許願

【整理番号】 J0082689

【提出日】 平成12年12月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/16

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 伊藤 聡

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100066980

    【弁理士】

    【氏名又は名称】 森 哲也

【選任した代理人】

    【識別番号】 100075579

    【弁理士】

    【氏名又は名称】 内藤 嘉昭

【選任した代理人】

    【識別番号】 100103850

    【弁理士】

    【氏名又は名称】 崔 秀▲てつ▼

【先の出願に基づく優先権主張】

    【出願番号】 特願2000- 62305

    【出願日】 平成12年 3月 7日

【手数料の表示】

    【予納台帳番号】 001638

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ドライバ回路及びドライバ回路の製造方法

【特許請求の範囲】

【請求項 1】 トランジスタを有し、駆動信号を前記トランジスタに与えて駆動することにより負荷を駆動する半導体集積回路からなるドライバ回路であって、

前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、前記ゲート電極の幅方向に少なくとも 2 つ設けたことを特徴とするドライバ回路。

【請求項 2】 複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する半導体集積回路からなるドライバ回路であって、

前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、前記複数のトランジスタのうち少なくとも 1 つのものについて、前記ゲート電極の幅方向に 2 つ以上設けたことを特徴とするドライバ回路。

【請求項 3】 請求項 2 において、

前記接続部を、前記各トランジスタごとに 2 つ以上設けたことを特徴とするドライバ回路。

【請求項 4】 請求項 2 において、

前記接続部を、前記トランジスタの 1 つを除き 2 つ以上設けたことを特徴とするドライバ回路。

【請求項 5】 請求項 2 乃至 4 のいずれかにおいて、

前記接続部の数を、前記複数のトランジスタのうち少なくとも 2 つのものについて異ならせたことを特徴とするドライバ回路。

【請求項 6】 複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する半導体集積回路からなるドライバ回路であって、

前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信

号線と、前記トランジスタのゲート電極とを接続する接続部を、前記ゲート電極の幅方向に設けるとともに、前記複数のトランジスタのうち少なくとも2つのものについて、前記接続部の数を異ならせたことを特徴とするドライバ回路。

【請求項7】 請求項5及び6のいずれかにおいて、

前記接続部の数を、前記各トランジスタごとに異ならせたことを特徴とするドライバ回路。

【請求項8】 複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する半導体集積回路からなるドライバ回路の製造方法であって、

半導体領域を含む基板上に前記各トランジスタのゲート電極を形成するゲート電極形成工程と、前記トランジスタ上に絶縁層を形成する絶縁層形成工程と、前記絶縁層よりも上層に形成される前記駆動信号を与えるための信号線と前記ゲート電極とを接続するためのコンタクトホールを前記絶縁層に形成するコンタクトホール形成工程と、前記絶縁層上に前記信号線を形成する配線層形成工程とを含み、

前記コンタクトホール形成工程は、前記コンタクトホールを、前記複数のトランジスタのうち少なくとも1つのものについて2つ以上形成することを特徴とするドライバ回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のトランジスタを有し、単一の駆動信号を各トランジスタに与えて駆動することにより負荷を駆動するドライバ回路およびその製造方法に係り、特に、駆動信号の入力に対する応答に遅れが生ずるのを防止するのに好適なドライバ回路およびその製造方法に関する。

【0002】

【従来の技術】

従来、負荷を駆動する高出力のドライバ回路としては、例えば、図10に示すようなものがあった。図10は、従来のドライバ回路を積層方向から見た平面図

である。

このドライバ回路は、図 10 に示すように、多層配線構造の半導体集積回路からなり、例えば、4 つのトランジスタ  $T_{r1} \sim T_{r4}$  を有し、単一の駆動信号を各トランジスタ  $T_{r1} \sim T_{r4}$  に与えて駆動することにより負荷を駆動するようになっている。具体的に、このドライバ回路を構成する半導体集積回路は、図示しないが、半導体基板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された配線層とからなっている。

#### 【0003】

半導体基板上には、各トランジスタ  $T_{r1} \sim T_{r4}$  のゲート電極として、ポリシリコンまたはポリシリコンを含むポリサイドからなるゲート電極  $G_1 \sim G_4$  が形成され、配線層には、駆動信号を与えるためのアルミニウム合金からなる信号線  $L_s$  が各ゲート電極  $G_1 \sim G_4$  の端部を通過するようにそれらと直交して形成されており、各ゲート電極  $G_1 \sim G_4$  と信号線  $L_s$  とが積層方向からみて交差する位置には、それらを接続するコンタクトホール  $H_1 \sim H_4$  が形成されている。

#### 【0004】

##### 【発明が解決しようとする課題】

しかしながら、上記従来のドライバ回路にあっては、各ゲート電極  $G_1 \sim G_4$  がシート抵抗の比較的高いポリシリコンで形成されかつゲート幅が長く、しかも駆動信号を一つのコンタクトホールから入力するようになっているため、ゲート電極全域にわたって入力信号が行きわたるのに時間を要し、駆動信号の入力に対して応答遅れが生じるという問題があった。

#### 【0005】

そこで、本発明は、このような従来の技術の有する未解決の課題に着目してなされたものであって、駆動信号の入力に対する応答に遅れが生ずるのを防止するのに好適なドライバ回路およびその製造方法を提供することを目的としている。

#### 【0006】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明に係る請求項 1 記載のドライバ回路は、トランジスタを有し、駆動信号を前記トランジスタに与えて駆動することにより負

荷を駆動する半導体集積回路からなるドライバ回路であって、前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、前記ゲート電極の幅方向に少なくとも2つ設けた。

【0007】

このような構成であれば、ゲート電極には、ゲート電極の幅方向に設けられた少なくとも2つの接続部を介して信号線から駆動信号が入力されるので、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなる。

さらに、本発明に係る請求項2記載のドライバ回路は、複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する半導体集積回路からなるドライバ回路であって、前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、前記複数のトランジスタのうち少なくとも1つのものについて、前記ゲート電極の幅方向に2つ以上設けた。

【0008】

このような構成であれば、少なくとも1つのトランジスタについてそのゲート電極には、ゲート電極の幅方向に設けられた少なくとも2つの接続部を介して信号線から駆動信号が入力されるので、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなる。

【0009】

さらに、本発明に係る請求項3記載のドライバ回路は、請求項2記載のドライバ回路において、前記接続部を、前記各トランジスタごとに2つ以上設けた。

このような構成であれば、各ゲート電極には、少なくとも2つの接続部を介して信号線から駆動信号が入力されるので、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなる。

【0010】

さらに、本発明に係る請求項4記載のドライバ回路は、請求項2記載のドライバ回路において、前記接続部を、前記トランジスタの1つを除き2つ以上設けた

。

このような構成であれば、1つのトランジスタを除き残りすべてのトランジスタについて各ゲート電極には、少なくとも2つの接続部を介して信号線から駆動信号が入力されるので、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなる。

【0011】

さらに、本発明に係る請求項5記載のドライバ回路は、請求項2ないし4のいずれかに記載のドライバ回路において、前記接続部の数を、前記複数のトランジスタのうち少なくとも2つのものについて異ならせた。

このような構成であれば、少なくとも2つのトランジスタのゲート電極には、異なる個数の接続部を介して信号線から駆動信号が入力されるので、それら各トランジスタごとにゲート電極全域にわたって入力信号が行きわたる時間がそれぞれ異なる。したがって、それらトランジスタのスイッチングがそれぞれ異なるタイミングで開始されることとなる。

【0012】

ここで、接続部の数は、複数のトランジスタのうち少なくとも2つのものについて異なっていればよく、例えば、5つのトランジスタのうち1つのトランジスタの接続部の数が2つであり、他の4つのトランジスタの接続部の数が3つであるような場合でもよいし、5つのトランジスタのうち各トランジスタの接続部の数がそれぞれ異なるような場合でもよい。

【0013】

さらに、本発明に係る請求項6記載のドライバ回路は、複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する半導体集積回路からなるドライバ回路であって、前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、前記ゲート電極の幅方向に設けるとともに、前記複数のトランジスタのうち少なくとも2つのものについて、前記接続部



の数を異ならせた。

【 0 0 1 4 】

このような構成であれば、少なくとも2つのトランジスタのゲート電極には、異なる個数の接続部を介して信号線から駆動信号が入力されるので、それら各トランジスタごとにゲート電極全域にわたって入力信号が行きわたる時間がそれぞれ異なる。したがって、それらトランジスタのスイッチングがそれぞれ異なるタイミングで開始されることとなる。

【 0 0 1 5 】

さらに、本発明に係る請求項7記載のドライバ回路は、請求項5および6のいずれかに記載のドライバ回路において、前記接続部の数を、前記各トランジスタごとに異ならせた。

このような構成であれば、各トランジスタのゲート電極には、それぞれ異なる個数の接続部を介して信号線から駆動信号が入力されるので、それら各トランジスタごとにゲート電極全域にわたって入力信号が行きわたる時間がそれぞれ異なる。したがって、それらトランジスタのスイッチングがそれぞれ異なるタイミングで開始されることとなる。

【 0 0 1 6 】

一方、上記目的を達成するために、本発明に係る請求項8記載のドライバ回路の製造方法は、複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する半導体集積回路からなるドライバ回路の製造方法であって、半導体領域を含む基板上に前記各トランジスタのゲート電極を形成するゲート電極形成工程と、前記トランジスタ上に絶縁層を形成する絶縁層形成工程と、前記絶縁層よりも上層に形成される前記駆動信号を与えるための信号線と前記ゲート電極とを接続するためのコンタクトホールを前記絶縁層に形成するコンタクトホール形成工程と、前記絶縁層上に前記信号線を形成する配線層形成工程とを含み、前記コンタクトホール形成工程は、前記コンタクトホールを、前記複数のトランジスタのうち少なくとも1つのものについて2つ以上形成する。

【 0 0 1 7 】

ここで、コンタクトホール形成工程は、コンタクトホールを、複数のトランジスタのうち少なくとも1つのものについて2つ以上形成すればどのような工程であってもよいが、具体的態様としては、例えば、コンタクトホールを、各トランジスタごとに2つ以上形成する。

また、コンタクトホール形成工程の他の具体的態様としては、コンタクトホールを、トランジスタの一つを除き2つ以上形成する。

#### 【0018】

また、コンタクトホール形成工程の他の具体的態様としては、コンタクトホールの数が複数のトランジスタのうち少なくとも2つのものについて異なるように、コンタクトホールを形成する。

したがって、複数のトランジスタのうち少なくとも2つのトランジスタについてスイッチングがそれぞれ異なるタイミングで開始されることとなるので、請求項8記載のドライバ回路の製造方法に比して、それらトランジスタに電流を供給する電源線の電圧が大きく変動することがなく、電流ノイズが低減し、出力に大きなノイズが発生しにくくなるという効果も得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチングの高速化の効果およびスイッチングのずれの効果も大きいので適用が好適である。

#### 【0019】

また、コンタクトホール形成工程の他の具体的態様としては、コンタクトホールの数が各トランジスタごとにそれぞれ異なるように、コンタクトホールを形成する。

#### 【0020】

#### 【発明の実施の形態】

以下、本発明の第1の実施の形態を図面を参照しながら説明する。図1ないし図5は、本発明に係るドライバ回路およびその製造方法の第1の実施の形態を示す図である。

本実施の形態は、本発明に係るドライバ回路およびその製造方法を、図1に示すように、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することに

より負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路において、駆動信号の入力に対する応答に遅れが生ずるのを防止する場合について適用したものである。

#### 【 0 0 2 1 】

まず、本発明を適用したドライバ回路 1 0 の構成を図 1 および図 2 を参照しながら説明する。図 1 は、ドライバ回路 1 0 を積層方向から見た平面図であり、図 2 は、図 1 中の A - A' 線、B - B' 線および C - C' 線に沿った断面図である。

ドライバ回路 1 0 は、図 1 および図 2 に示すように、多層配線構造の半導体集積回路からなり、例えば、4 つのトランジスタ  $T_{r1} \sim T_{r4}$  を有し、単一の駆動信号を各トランジスタ  $T_{r1} \sim T_{r4}$  に与えて駆動することにより負荷を駆動するようになっている。具体的に、ドライバ回路 1 0 を構成する半導体集積回路は、図示しないが、半導体基板 1 1 と、半導体基板 1 1 上に形成された絶縁層 1 4 と、絶縁層 1 4 上に形成された配線層とからなっている。

#### 【 0 0 2 2 】

半導体基板 1 1 上には、各トランジスタ  $T_{r1} \sim T_{r4}$  のゲート電極としてポリシリコンからなるゲート電極  $G_1 \sim G_4$  が形成されている。ここで、ポリシリコンのシート抵抗は、1 0 0 [ $\Omega / \square$ ]、各ゲート幅は、例えば、8 0 [ $\mu m$ ] 程度である。

配線層には、駆動信号を与えるためのアルミニウム合金からなる信号線  $L_s$  が、各ゲート電極  $G_1 \sim G_4$  の端部を通過するようにそれらと直交して形成されるとともに、信号線  $L_{s1} \sim L_{s4}$  が、各ゲート電極  $G_1 \sim G_4$  上を通過するようにそれらと平行して形成されている。各信号線  $L_{s1} \sim L_{s4}$  は、その一端で信号線  $L_s$  に接続している。ここで、アルミニウム合金のシート抵抗は、5 0 [ $m\Omega / \square$ ] である。

#### 【 0 0 2 3 】

各ゲート電極  $G_1 \sim G_4$  上には、コンタクトホール  $H_{11} \sim H_{43}$  がそれぞれ 3 つずつ設けられている。すなわち、各ゲート電極  $G_1 \sim G_4$  と信号線  $L_s$  とが積層方向からみて交差する位置には、それら配線を接続するコンタクトホール  $H_{11}$ ,  $H_{21}$ ,  $H_{31}$ ,  $H_{41}$  が形成されているとともに、各信号線  $L_{s1} \sim L_{s4}$  上には、それぞれ

2つのコンタクトホール $H_{12}$ ,  $H_{13}$ ,  $H_{22}$ ,  $H_{23}$ ,  $H_{32}$ ,  $H_{33}$ ,  $H_{42}$ ,  $H_{43}$ が形成されている。

【0024】

次に、ドライバ回路10のより具体的な構成を図3ないし図5を参照しながら説明する。図3は、図1における波線領域100を拡大した図である。図4は、図3中のA-A'線に沿った断面図である。図5は、図3中のB-B'線に沿った断面図である。

図3ないし図5において、ゲート電極 $G_3$ は、半導体基板11上に形成されたゲート絶縁層21およびパッド状絶縁層17上に配置されている。そして、パッド状絶縁層17が形成された領域のゲート電極 $G_3$ 上に、コンタクトホール $H_{32}$ が形成されている。さらに、ゲート電極 $G_3$ は、その各端部が素子分離領域12を構成する絶縁層12上に配置され、ゲート電極 $G_3$ の各端部には、コンタクトホール $H_{31}$ ,  $H_{33}$ が形成されている。

【0025】

同様に、ゲート電極 $G_4$ は、半導体基板11上に形成されたゲート絶縁層21およびパッド状絶縁層15上に配置されている。そして、パッド状絶縁層15が形成された領域のゲート電極 $G_4$ 上に、コンタクトホール $H_{42}$ が形成されている。さらに、ゲート電極 $G_4$ は、その各端部が素子分離領域12を構成する絶縁層上に配置され、ゲート電極 $G_4$ の各端部には、コンタクトホール $H_{41}$ ,  $H_{43}$ が形成されている。

【0026】

ゲート電極 $G_3$ ,  $G_4$ のそれぞれの両側の半導体基板11には、ソース領域またはドレイン領域を構成する不純物層（以下、「ソース／ドレイン領域の不純物層」ともいう。）24, 25, 26が形成されている。ソース／ドレイン領域の不純物層24～26上の一部の領域には、例えば、チタンシリサイド層等のシリサイド層33, 34, 35が形成されている。シリサイド層33～35は、コンタクトホール51, 52, 53を介して図示しない配線層と電氣的に接続されている。この配線層は、ソース／ドレイン領域の不純物層24～26に電流を供給するためのものである。

## 【 0 0 2 7 】

シリサイド層 3 3 ～ 3 5 は、ソース／ドレイン領域の不純物層 2 4 ～ 2 6 上の一部、より具体的には、不純物層 2 4 ～ 2 6 上であってゲート電極  $G_3$ 、 $G_4$  と離れた位置に形成されている。そのため、シリサイド層 3 3 ～ 3 5 が形成されている領域以外の不純物層 2 4 ～ 2 6 上およびゲート電極  $G_3$ 、 $G_4$  上には、シリサイドプロテクションとしての、酸化シリコン層、チッ化シリコン層等のプロテクト絶縁層 3 1 が配置されている。

## 【 0 0 2 8 】

また、ゲート電極  $G_3$  の下には、パッド状絶縁層 1 7 が形成されている。同様に、ゲート電極  $G_4$  の下には、パッド状絶縁層 1 5 が形成されている。

ゲート電極  $G_3$  におけるパッド状絶縁層 1 7 上に位置する部分は、パッド状絶縁層 1 7 が形成されていない領域のゲート電極  $G_3$  に比べて幅が大きく、その平面形状が大きく形成されている。同様に、ゲート電極  $G_4$  におけるパッド状絶縁層 1 5 上に位置する部分は、パッド状絶縁層 1 5 が形成されていない領域のゲート電極  $G_4$  に比べて幅が大きく、その平面形状が大きく形成されている。ゲート電極  $G_3$ 、 $G_4$  をこのようにすることで、ゲート電極  $G_3$ 、 $G_4$  上でのコンタクトホール  $H_{32}$ 、 $H_{42}$  の形成領域が広がり、その形成が容易となる。

## 【 0 0 2 9 】

パッド状絶縁層 1 5、1 7 は、コンタクトホール  $H_{32}$ 、 $H_{42}$  が形成される領域において、ゲート電極  $G_3$ 、 $G_4$  の下に形成されている。パッド状絶縁層 1 5、1 7 が半導体基板 1 1 とコンタクトホール  $H_{32}$ 、 $H_{42}$  との間に存在することにより、コンタクトホール  $H_{32}$ 、 $H_{42}$  を形成する際のストレス等がゲート絶縁層 2 1 に与える影響を回避でき、トランジスタ特性を低下させることがない。そして、パッド状絶縁層 1 5、1 7 は、上記の機能を十分に達成するために、平面的にみてゲート電極  $G_3$ 、 $G_4$  の平面形状より大きいことが好ましい。

## 【 0 0 3 0 】

ゲート電極  $G_3$  のコンタクトホール  $H_{31} \sim H_{33}$  およびゲート電極  $G_4$  のコンタクトホール  $H_{41} \sim H_{43}$  は、それぞれ等間隔で形成されている。このように、コンタクトホール  $H_{31} \sim H_{33}$ 、 $H_{41} \sim H_{43}$  が等間隔で複数設けられることで、ゲート電

極 $G_3$ 、 $G_4$ により均等に所定の電位を印加できる。

コンタクトホール $H_{31} \sim H_{33}$ 、 $H_{41} \sim H_{43}$ をこのように配置するためには、パッド状絶縁層15、17も等間隔で形成される。すなわち、パッド状絶縁層17とゲート電極 $G_3$ の一端とは、所定間隔 $W_2$ を有しており、かつ、パッド状絶縁層17とゲート電極 $G_3$ の他端とは、所定間隔 $W_2$ を有している。また、パッド状絶縁層17は、ソース／ドレイン領域の不純物層25、26に隣接して形成され、かつ、シリサイド層34、35の間に配置されている。

#### 【0031】

同様に、パッド状絶縁層15とゲート電極 $G_4$ の一端とは、所定間隔 $W_2$ を有しており、かつ、パッド状絶縁層15とゲート電極 $G_4$ の他端とは、所定間隔 $W_2$ を有している。また、パッド状絶縁層15は、ソース／ドレイン領域の不純物層24、25に隣接して形成され、かつ、シリサイド層33、34の間に配置されている。

#### 【0032】

ゲート電極 $G_3$ は、コンタクトホール $H_{31} \sim H_{33}$ を介して配線層の信号線 $L_{s3}$ と電気的に接続されている。同様に、ゲート電極 $G_4$ は、コンタクトホール $H_{41} \sim H_{43}$ を介して配線層の信号線 $L_{s4}$ と電気的に接続されている。これらの信号線 $L_{s3}$ 、 $L_{s4}$ は、ゲート電極 $G_3$ 、 $G_4$ に電流を供給するためのものであり、ゲート電極への電流の供給経路を短くするために、複数のコンタクトホール $H_{31} \sim H_{33}$ 、 $H_{41} \sim H_{43}$ を介してゲート電極 $G_3$ 、 $G_4$ と接続されている。

#### 【0033】

なお、本実施の形態のトランジスタ $T_3$ 、 $T_4$ において、そのサイズを例示すると、全体の幅 $W_1$ は、100 [ $\mu\text{m}$ ]程度、パッド状絶縁層15の島によって分割された各セグメントの幅 $W_2$ は、40 [ $\mu\text{m}$ ]程度である。

次に、ドライバ回路10の製造方法を説明する。

ドライバ回路10は、次のように製造される。

#### 【0034】

まず、図4および図5に示すように、半導体基板11の表面上にLOCOS法またはトレンチアイソレーション法により素子分離領域12およびパッド状絶縁

層 1 5, 1 7 を形成する。

次に、半導体基板 1 1 上に熱酸化法によりゲート絶縁層 2 1 を形成し、ゲート絶縁層 2 1 上にフォトリソグラフィ技術等によりドーフトポリシリコンからなるゲート電極  $G_3$ ,  $G_4$  を形成する。これが本発明のゲート電極形成工程に対応する。

【 0 0 3 5 】

次に、ゲート電極  $G_3$ ,  $G_4$  をマスクとしてイオン注入することにより、半導体基板 1 1 に、例えば、LDD 構造を構成する低濃度の不純物層などのエクステンション層（図示せず）を形成する。このエクステンション層は、デバイスの構造によって必要に応じて形成する。次いで、ゲート電極  $G_3$ ,  $G_4$  の両側壁に公知の方法によりサイドウォールスペーサ 2 7 を設け、ゲート電極  $G_3$ ,  $G_4$  およびサイドウォールスペーサ 2 7 をマスクとしてイオン注入した後アニールすることにより、半導体基板 1 1 にソース／ドレイン領域の不純物層 2 4 ~ 2 6 を形成する。

【 0 0 3 6 】

次いで、ゲート電極  $G_3$ ,  $G_4$  およびソース／ドレイン領域の不純物層 2 4 ~ 2 6 を含む全面に、CVD 法によりプロテクト絶縁層のための絶縁層を堆積する。プロテクト絶縁層としては、酸化シリコン、窒化シリコンなどを用いることができる。その後、通常のフォトリソ工程および反応性イオンエッチングによるエッチング工程により所定領域に開口部を形成して、プロテクト絶縁層 3 1 （絶縁層 1 4 に相当）を形成する。開口部は、後述するシリサイド層 3 3 ~ 3 5 が形成される領域に形成する。次いで、この開口部により露出したソース／ドレイン領域の不純物層 2 4 ~ 2 6 を含む全面に、チタン層などのシリサイド層のための金属層（図示せず）を堆積する。この後、熱処理を施すことにより、不純物層 2 4 ~ 2 6 の露出面にシリサイド層 3 3 ~ 3 5 を形成する。そして、シリサイド層 3 3 ~ 3 5 を含む全面に層間絶縁層 3 2 （絶縁層 1 4 に相当）を堆積する。

【 0 0 3 7 】

ここで、プロテクト絶縁層 3 1 および層間絶縁層 3 2 を形成する工程が本発明の絶縁層形成工程に対応する。

次に、通常のフォトリソ工程および反応性イオンエッチングによるエッチング

工程により、ゲート電極 $G_3$ 上の層間絶縁層 3 2 およびプロテクト絶縁層 3 1 にコンタクトホール $H_{31} \sim H_{33}$ を形成するとともに、ゲート電極 $G_4$ 上の層間絶縁層 3 2 およびプロテクト絶縁層 3 1 にコンタクトホール $H_{41} \sim H_{43}$ を形成する。これが本発明のコンタクトホール形成工程に対応する。

## 【 0 0 3 8 】

そして、コンタクトホール $H_{31} \sim H_{33}$ ,  $H_{41} \sim H_{43}$ 内および層間絶縁層 3 2 上には、スパッタリング等によりアルミニウム合金からなる金属層を堆積させる。これにより、ゲート電極 $G_3$ ,  $G_4$ が、コンタクトホール $H_{31} \sim H_{33}$ ,  $H_{41} \sim H_{43}$ を介して信号線 $L_{s3}$ ,  $L_{s4}$ と電氣的に接続される。そして、その上に塗布されたレジストに対して、配線パターンに応じて作成されたマスクを用いてパターンニングし、その後にアルミニウム薄膜に対してエッチングを行うことにより配線層を形成する。これが本発明の配線層形成工程に対応する。

## 【 0 0 3 9 】

なお、ゲート電極 $G_1$ ,  $G_2$ が存在する側も、これと同様の工程によりゲート電極 $G_3$ ,  $G_4$ と同時に形成することができる。

次に、上記第 1 の実施の形態の動作を説明する。

ドライバ制御回路等によりドライバ回路 1 0 に駆動信号を与えると、各ゲート電極 $G_1 \sim G_4$ には、3 つのコンタクトホールを介して信号線 $L_s$ ,  $L_{s1} \sim L_{s4}$ から駆動信号が入力される。

## 【 0 0 4 0 】

このため、各ゲート電極 $G_1 \sim G_4$ にコンタクトを 1 つしか形成しない場合に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなる。

## 【 0 0 4 1 】

## 【実施例】

次に、本発明の実施例を図 6 を参照しながら説明する。図 6 は、駆動信号および出力信号を示すタイムチャートである。図 6 において、点線①は、本実施の形態におけるドライバ回路 1 0 からの出力信号を、波線③は、従来のドライバ回路からの出力信号を、一点鎖線④は、両ドライバ回路に与える駆動信号を示してい



る。

【0042】

従来では、図6の波線③に示すように、ハイレベルである時間がおおよそ40 [ns] の駆動信号（図6の一点鎖線④）を従来のドライバ回路に与えると、そのドライバ回路からの出力信号は、駆動信号の立ち上がりからおおよそ10 [ns] の遅れをもって立ち上がり、駆動信号の立ち下がりからおおよそ19 [ns] の遅れをもって立ち下がっていることが分かる。

【0043】

これに対し、本発明では、図6の点線①に示すように、同駆動信号（図6の一点鎖線④）をドライバ回路10に与えると、ドライバ回路10からの出力信号は、オーバシュートおよびアンダーシュートがやや大きい、駆動信号の立ち上がりからおおよそ3 [ns] の遅れをもって立ち上がり、駆動信号の立ち下がりからおおよそ3 [ns] の遅れをもって立ち下がっていることが分かる。

【0044】

したがって、本実施の形態におけるドライバ回路10によれば、従来のドライバ回路に比して、駆動信号の入力に対する応答が早いということが分かる。

このようにして、本実施の形態では、トランジスタ $T_{r1} \sim T_{r4}$ と絶縁層14を隔てて形成される信号線 $L_s$ 、 $L_{s1} \sim L_{s4}$ と、トランジスタのゲート電極とを接続するコンタクトホールを、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにそれぞれ3つずつ設けた。

【0045】

これにより、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタ $T_{r1} \sim T_{r4}$ に対しては、スイッチングの高速化の効果が大きいので適用が好適である。

上記第1の実施の形態において、コンタクトホール $H_{11} \sim H_{43}$ は、請求項1ないし4記載の接続部に対応している。

【0046】

次に、本発明の第2の実施の形態を図面を参照しながら説明する。図7ないし

図 9 は、本発明に係るドライバ回路およびその製造方法の第 2 の実施の形態を示す図である。

本実施の形態は、本発明に係るドライバ回路およびその製造方法を、図 7 に示すように、単一の駆動信号を各トランジスタ  $T_{r1} \sim T_{r4}$  に与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路において、駆動信号の入力に対する応答に遅れが生ずるのを防止するとともに、出力に発生するノイズを低減する場合について適用したものである。

#### 【 0 0 4 7 】

まず、本発明を適用したドライバ回路 1 0 の構成を図 7 を参照しながら説明する。図 7 は、ドライバ回路 1 0 を積層方向から見た平面図である。

ドライバ回路 1 0 は、図 7 に示すように、多層配線構造の半導体集積回路からなり、例えば、4 つのトランジスタ  $T_{r1} \sim T_{r4}$  を有し、単一の駆動信号を各トランジスタ  $T_{r1} \sim T_{r4}$  に与えて駆動することにより負荷を駆動するようになっている。具体的に、ドライバ回路 1 0 を構成する半導体集積回路は、図示しないが、半導体基板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された配線層とからなっている。

#### 【 0 0 4 8 】

半導体基板 1 1 上には、各トランジスタ  $T_{r1} \sim T_{r4}$  のゲート電極としてポリシリコンからなるゲート電極  $G_1 \sim G_4$  が形成されている。ここで、ポリシリコンのシート抵抗は、1 0 0 [ $\Omega / \square$ ]、各ゲート幅は、例えば、8 0 [ $\mu m$ ] 程度である。

配線層には、駆動信号を与えるためのアルミニウム合金からなる信号線  $L_s$  が、各ゲート電極  $G_1 \sim G_4$  の端部を通過するようにそれらと直交して形成されるとともに、信号線  $L_{s2} \sim L_{s4}$  が、各ゲート電極  $G_2 \sim G_4$  上を通過するようにそれらと平行して形成されている。各信号線  $L_{s2} \sim L_{s4}$  は、その一端で信号線  $L_s$  に接続している。ここで、アルミニウム合金のシート抵抗は、5 0 [ $m\Omega / \square$ ] である。

#### 【 0 0 4 9 】

次に、ドライバ回路 1 0 のより具体的な構成を図 8 を参照しながら説明する。

図8は、図7における波線領域100を拡大した図である。

図8において、ゲート電極 $G_3$ は、半導体基板11上に形成されたゲート絶縁層21およびパッド状絶縁層17上に配置されている。そして、パッド状絶縁層17が形成された領域のゲート電極 $G_3$ 上に、コンタクトホール $H_{32}$ が形成されている。さらに、ゲート電極 $G_3$ は、その各端部が素子分離領域12を構成する絶縁層12上に配置され、ゲート電極 $G_3$ の各端部には、コンタクトホール $H_{31}$ 、 $H_{33}$ が形成されている。

#### 【0050】

同様に、ゲート電極 $G_4$ は、半導体基板11上に形成されたゲート絶縁層21およびパッド状絶縁層15、16上に配置されている。そして、パッド状絶縁層15、16が形成された領域のゲート電極 $G_4$ 上に、コンタクトホール $H_{42}$ 、 $H_{43}$ が形成されている。さらに、ゲート電極 $G_4$ は、その各端部が素子分離領域12を構成する絶縁層上に配置され、ゲート電極 $G_4$ の各端部には、コンタクトホール $H_{41}$ 、 $H_{44}$ が形成されている。

#### 【0051】

ゲート電極 $G_3$ 、 $G_4$ のそれぞれの両側の半導体基板11には、ソース／ドレイン領域の不純物層24、25、26が形成されている。ソース／ドレイン領域の不純物層24～26上の一部の領域には、例えば、チタンシリサイド層等のシリサイド層33、34、35が形成されている。シリサイド層33～35は、コンタクトホール51、52、53を介して図示しない配線層と電氣的に接続されている。この配線層は、ソース／ドレイン領域の不純物層24～26に電流を供給するためのものである。

#### 【0052】

シリサイド層33～35は、ソース／ドレイン領域の不純物層24～26上の一部、より具体的には、不純物層24～26上であってゲート電極 $G_3$ 、 $G_4$ と離れた位置に形成されている。そのため、シリサイド層33～35が形成されている領域以外の不純物層24～26上およびゲート電極 $G_3$ 、 $G_4$ 上には、シリサイドプロテクションとしての、酸化シリコン層、チン化シリコン層等のプロテクト絶縁層31が配置されている。

## 【0053】

また、ゲート電極 $G_3$ の下には、パッド状絶縁層17が形成されている。同様に、ゲート電極 $G_4$ の下には、パッド状絶縁層15, 16が形成されている。

ゲート電極 $G_3$ におけるパッド状絶縁層17上に位置する部分は、パッド状絶縁層17が形成されていない領域のゲート電極 $G_3$ に比べて幅が大きく、その平面形状が大きく形成されている。同様に、ゲート電極 $G_4$ におけるパッド状絶縁層15, 16上に位置する部分は、パッド状絶縁層15, 16が形成されていない領域のゲート電極 $G_4$ に比べて幅が大きく、その平面形状が大きく形成されている。ゲート電極 $G_3$ ,  $G_4$ をこのようにすることで、ゲート電極 $G_3$ ,  $G_4$ 上でのコンタクトホール $H_{32}$ ,  $H_{42}$ ,  $H_{43}$ の形成領域が広がり、その形成が容易となる。

## 【0054】

パッド状絶縁層15～17は、コンタクトホール $H_{32}$ ,  $H_{42}$ ,  $H_{43}$ が形成される領域において、ゲート電極 $G_3$ ,  $G_4$ の下に形成されている。パッド状絶縁層15～17が半導体基板11とコンタクトホール $H_{32}$ ,  $H_{42}$ ,  $H_{43}$ との間に存在することにより、コンタクトホール $H_{32}$ ,  $H_{42}$ ,  $H_{43}$ を形成する際のストレス等がゲート絶縁層21に与える影響を回避でき、トランジスタ特性を低下させることがない。そして、パッド状絶縁層15～17は、上記の機能を十分に達成するために、平面的にみてゲート電極 $G_3$ ,  $G_4$ の平面形状より大きいことが好ましい。

## 【0055】

ゲート電極 $G_3$ のコンタクトホール $H_{31}$ ～ $H_{33}$ およびゲート電極 $G_4$ のコンタクトホール $H_{41}$ ～ $H_{44}$ は、それぞれ等間隔で形成されている。このように、コンタクトホール $H_{31}$ ～ $H_{33}$ ,  $H_{41}$ ～ $H_{44}$ が等間隔で複数設けられることで、ゲート電極 $G_3$ ,  $G_4$ により均等に所定の電位を印加できる。

コンタクトホール $H_{31}$ ～ $H_{33}$ ,  $H_{41}$ ～ $H_{44}$ をこのように配置するためには、パッド状絶縁層15～17も等間隔で形成される。すなわち、パッド状絶縁層17とゲート電極 $G_3$ の一端とは、所定間隔 $W_2$ を有しており、かつ、パッド状絶縁層17とゲート電極 $G_3$ の他端とは、所定間隔 $W_2$ を有している。また、パッド状絶縁層17は、ソース／ドレイン領域の不純物層25, 26に隣接して形成さ

れ、かつ、シリサイド層 34, 35 の間に配置されている。

【0056】

同様に、パッド状絶縁層 15, 16 は、互いに所定間隔  $W_3$  を隔てて配置されており、パッド状絶縁層 15 とゲート電極  $G_4$  の一端とは、所定間隔  $W_3$  を有しており、かつ、パッド状絶縁層 16 とゲート電極  $G_4$  の他端とは、所定間隔  $W_3$  を有している。また、パッド状絶縁層 15, 16 は、ソース／ドレイン領域の不純物層 24, 25 に隣接して形成され、かつ、シリサイド層 33, 34 の間に配置されている。

【0057】

ゲート電極  $G_3$  は、コンタクトホール  $H_{31} \sim H_{33}$  を介して配線層の信号線  $L_{s3}$  と電氣的に接続されている。同様に、ゲート電極  $G_4$  は、コンタクトホール  $H_{41} \sim H_{44}$  を介して配線層の信号線  $L_{s4}$  と電氣的に接続されている。これらの信号線  $L_{s3}$ ,  $L_{s4}$  は、ゲート電極  $G_3$ ,  $G_4$  に電流を供給するためのものであり、ゲート電極への電流の供給経路を短くするために、複数のコンタクトホール  $H_{31} \sim H_{33}$ ,  $H_{41} \sim H_{44}$  を介してゲート電極  $G_3$ ,  $G_4$  と接続されている。

【0058】

なお、本実施の形態のトランジスタ  $T_3$ ,  $T_4$  において、そのサイズを例示すると、全体の幅  $W_1$  は、100 [ $\mu m$ ] 程度、パッド状絶縁層 15, 16 の島によって分割された各セグメントの幅  $W_3$  は、27 [ $\mu m$ ] 程度である。

次に、ドライバ回路 10 の製造方法を説明する。

ドライバ回路 10 は、次のように製造される。

【0059】

まず、半導体基板 11 の表面上に LOCOS 法またはトレンチアイソレーション法により素子分離領域 12 およびパッド状絶縁層 15 ~ 17 を形成する。

次に、半導体基板 11 上に熱酸化法によりゲート絶縁層 21 を形成し、ゲート絶縁層 21 上にフォトリソグラフィ技術等によりドーフトポリシリコンからなるゲート電極  $G_3$ ,  $G_4$  を形成する。これが本発明のゲート電極形成工程に対応する。

【0060】

次に、ゲート電極 $G_3$ 、 $G_4$ をマスクとしてイオン注入することにより、半導体基板11に、例えば、LDD構造を構成する低濃度の不純物層などのエクステンション層（図示せず）を形成する。このエクステンション層は、デバイスの構造によって必要に応じて形成する。次いで、ゲート電極 $G_3$ 、 $G_4$ の両側壁に公知の方法によりサイドウォールスペーサ27を設け、ゲート電極 $G_3$ 、 $G_4$ およびサイドウォールスペーサ27をマスクとしてイオン注入した後アニールすることにより、半導体基板11にソース／ドレイン領域の不純物層24～26を形成する。

## 【0061】

次いで、ゲート電極 $G_3$ 、 $G_4$ およびソース／ドレイン領域の不純物層24～26を含む全面に、CVD法によりプロテクト絶縁層のための絶縁層を堆積する。プロテクト絶縁層としては、酸化シリコン、窒化シリコンなどを用いることができる。その後、通常のフォトリソ工程および反応性イオンエッチングによるエッチング工程により所定領域に開口部を形成して、プロテクト絶縁層31（絶縁層14に相当）を形成する。開口部は、後述するシリサイド層33～35が形成される領域に形成する。次いで、この開口部により露出したソース／ドレイン領域の不純物層24～26を含む全面に、チタン層などのシリサイド層のための金属層（図示せず）を堆積する。この後、熱処理を施すことにより、不純物層24～26の露出面にシリサイド層33～35を形成する。そして、シリサイド層33～35を含む全面に層間絶縁層32（絶縁層14に相当）を堆積する。

## 【0062】

ここで、プロテクト絶縁層31および層間絶縁層32を形成する工程が本発明の絶縁層形成工程に対応する。

次に、通常のフォトリソ工程および反応性イオンエッチングによるエッチング工程により、ゲート電極 $G_3$ 上の層間絶縁層32およびプロテクト絶縁層31にコンタクトホール $H_{31} \sim H_{33}$ を形成するとともに、ゲート電極 $G_4$ 上の層間絶縁層32およびプロテクト絶縁層31にコンタクトホール $H_{41} \sim H_{44}$ を形成する。これが本発明のコンタクトホール形成工程に対応する。

## 【0063】

そして、コンタクトホール $H_{31} \sim H_{33}$ 、 $H_{41} \sim H_{44}$ 内および層間絶縁層32上

には、スパッタリング等によりアルミニウム合金からなる金属層を堆積させる。これにより、ゲート電極 $G_3$ 、 $G_4$ が、コンタクトホール $H_{31} \sim H_{33}$ 、 $H_{41} \sim H_{44}$ を介して信号線 $L_{s3}$ 、 $L_{s4}$ と電氣的に接続される。そして、その上に塗布されたレジストに対して、配線パターンに応じて作成されたマスクを用いてパターンニングし、その後にアルミニウム薄膜に対してエッチングを行うことにより配線層を形成する。これが本発明の配線層形成工程に対応する。

## 【 0 0 6 4 】

なお、ゲート電極 $G_1$ 、 $G_2$ が存在する側も、これと同様の工程によりゲート電極 $G_3$ 、 $G_4$ と同時に形成することができる。

次に、上記第 2 の実施の形態の動作を説明する。

ドライバ制御回路等によりドライバ回路 1 0 に駆動信号を与えると、各ゲート電極 $G_1 \sim G_4$ には、それぞれ異なる個数のコンタクトホールを介して信号線 $L_s$ 、 $L_{s2} \sim L_{s4}$ から駆動信号が入力される。例えば、ゲート電極 $G_1$ には、1 つのコンタクトホール $H_{11}$ を介して、ゲート電極 $G_2$ には、2 つのコンタクトホール $H_{21}$ 、 $H_{22}$ を介して、ゲート電極 $G_3$ には、3 つのコンタクトホール $H_{31} \sim H_{33}$ を介して、ゲート電極 $G_4$ には、4 つのコンタクトホール $H_{41} \sim H_{44}$ を介して、駆動信号が入力される。

## 【 0 0 6 5 】

このため、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにゲート電極全域にわたって入力信号が行きわたる時間がそれぞれ異なる。すなわち、ゲート電極 $G_4$ には、4 つのコンタクトホール $H_{41} \sim H_{44}$ を介して駆動信号が入力されるので、ゲート電極 $G_4$ に流入する電流量が大きく、ゲート電極全域にわたって入力信号が行きわたる時間が4 つのゲート電極 $G_1 \sim G_4$ のうち最も早くなり、これに対し、ゲート電極 $G_1$ には、1 つのコンタクトホール $H_{11}$ を介して駆動信号が入力されるので、ゲート電極 $G_1$ に流入する電流量が小さく、ゲート電極全域にわたって入力信号が行きわたる時間が4 つのゲート電極 $G_1 \sim G_4$ のうち最も遅くなる。

## 【 0 0 6 6 】

したがって、各トランジスタ $T_{r1} \sim T_{r4}$ のスイッチングがそれぞれ異なるタイミングで開始されることとなる。

【0067】

## 【実施例】

次に、本発明の実施例を図9を参照しながら説明する。図9は、駆動信号および出力信号を示すタイムチャートである。図9において、実線②は、本実施の形態におけるドライバ回路10からの出力信号を、波線③は、従来のドライバ回路からの出力信号を、一点鎖線④は、両ドライバ回路に与える駆動信号を示している。

【0068】

従来では、図9の波線③に示すように、ハイレベルである時間がおよそ40 [ns] の駆動信号（図9の一点鎖線④）を従来のドライバ回路に与えると、そのドライバ回路からの出力信号は、駆動信号の立ち上がりからおよそ10 [ns] の遅れをもって立ち上がり、駆動信号の立ち下がりからおよそ19 [ns] の遅れをもって立ち下がっていることが分かる。

【0069】

これに対し、本発明では、図9の実線②に示すように、同駆動信号（図9の一点鎖線④）をドライバ回路10に与えると、ドライバ回路10からの出力信号は、駆動信号の立ち上がりからおよそ4 [ns] の遅れをもって立ち上がり、駆動信号の立ち下がりからおよそ5 [ns] の遅れをもって立ち下がっていることが分かる。また、上記第1の実施の形態におけるドライバ回路10に比して、電流ノイズが低減しているのが分かる。

【0070】

したがって、本実施の形態におけるドライバ回路10によれば、従来のドライバ回路に比して、駆動信号の入力に対する応答が早く、上記第1の実施の形態におけるドライバ回路10に比して、電流ノイズが少ないということが分かる。

このようにして、本実施の形態では、トランジスタ $T_{r1} \sim T_{r4}$ と絶縁層14を隔てて形成される信号線 $L_s$ 、 $L_{s2} \sim L_{s4}$ と、トランジスタのゲート電極とを接続するコンタクトホール数を、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにそれぞれ異ならせた。

【0071】



これにより、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなる。さらには、各トランジスタ $T_{r1} \sim T_{r4}$ のスイッチングがそれぞれ異なるタイミングで開始されることとなるので、上記第1の実施の形態におけるドライバ回路10に比して、各トランジスタ $T_{r1} \sim T_{r4}$ に電流を供給する電源線の電圧が大きく変動することがなく、電流ノイズが低減し、出力に大きなノイズが発生しにくくなる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタ $T_{r1} \sim T_{r4}$ に対しては、スイッチングの高速化の効果およびスイッチングのずれの効果が大きいので適用が好適である。

## 【0072】

上記第2の実施の形態において、コンタクトホール $H_{11} \sim H_{44}$ は、請求項5ないし7記載の接続部に対応している。

なお、上記第1の実施の形態においては、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにコンタクトホールをそれぞれ3つずつ設けて構成し、上記第2の実施の形態においては、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにコンタクトホールの数をそれぞれ異ならせて構成したが、これに限らず、これらの実施の形態における構成を組み合わせることにより、駆動信号の入力に対する応答に遅れが生ずるのを防止するとともに、出力に発生するノイズを低減するようにしてもよい。例えば、ゲート電極 $G_1$ には、3つのコンタクトホールを、ゲート電極 $G_2$ には、4つのコンタクトホールを、ゲート電極 $G_3$ には、5つのコンタクトホールを、ゲート電極 $G_4$ には、6つのコンタクトホールを形成する。

## 【0073】

また、上記第1実施の形態においては、本発明に係るドライバ回路およびその製造方法を、ドライバ回路10が4つのトランジスタ $T_{r1} \sim T_{r4}$ を有する場合について適用したが、これに限らず、ドライバ回路10がトランジスタを少なくとも1つ有していれば、これより少数のトランジスタを有する場合でも、これよりも多数のトランジスタを有する場合でも適用することができる。

## 【0074】

また、上記第1実施の形態においては、各ゲート電極 $G_1 \sim G_4$ ごとにコンタク

トホールをそれぞれ3つずつ設けて構成したが、これに限らず、各ゲート電極 $G_1 \sim G_4$ ごとに複数のコンタクトホールを設けていれば、これよりも少数のコンタクトホールを設けて構成しても、これよりも多数のコンタクトホールを設けて構成してもよい。後者の場合は、ゲート電極全域にわたって入力信号が行きわたる時間がより短くなり、駆動信号の入力に対する応答がさらに早くなる。

## 【0075】

また、上記第2実施の形態においては、本発明に係るドライバ回路およびその製造方法を、ドライバ回路10が4つのトランジスタ $T_{r1} \sim T_{r4}$ を有する場合について適用したが、これに限らず、ドライバ回路10がトランジスタを複数有していれば、これより少数のトランジスタを有する場合でも、これよりも多数のトランジスタを有する場合でも適用することができる。

## 【0076】

また、上記第1および第2の実施の形態においては、ドライバ回路10を半導体基板11上に形成したが、これに限らず、SIO基板またはガラス基板上に半導体領域を形成し、形成した半導体領域上にドライバ回路10を形成してもよい。すなわち、ドライバ回路10を形成する基板としては、半導体基板11に限らず、半導体領域または半導体層を含む基板を用いることもできる。

## 【0077】

また、上記第1実施の形態においては、本発明に係るドライバ回路およびその製造方法を、図1に示すように、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路において、駆動信号の入力に対する応答に遅れが生ずるのを防止する場合について適用したが、これに限らず、本発明の主旨を逸脱しない範囲で他の場合にも適用可能である。

## 【0078】

また、上記第2実施の形態においては、本発明に係るドライバ回路およびその製造方法を、図7に示すように、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路において、駆動信号の入力に対する応答に遅れが生ずるのを防止

するとともに、出力に発生するノイズを低減する場合について適用したが、これに限らず、本発明の主旨を逸脱しない範囲で他の場合にも適用可能である。

【 0 0 7 9 】

【発明の効果】

以上説明したように、本発明に係る請求項1ないし5または7記載のドライバ回路によれば、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなるという効果が得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチングの高速化の効果が大きいので適用が好適である。

【 0 0 8 0 】

さらに、本発明に係る請求項5または7記載のドライバ回路によれば、複数のトランジスタのうち少なくとも2つのトランジスタについてスイッチングがそれぞれ異なるタイミングで開始されることとなるので、請求項1ないし3記載のドライバ回路に比して、それらトランジスタに電流を供給する電源線の電圧が大きく変動することがなく、電流ノイズが低減し、出力に大きなノイズが発生しにくくなるという効果も得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチングの高速化の効果およびスイッチングのずれの効果も大きいので適用が好適である。

【 0 0 8 1 】

さらに、本発明に係る請求項6または7記載のドライバ回路によれば、複数のトランジスタのうち少なくとも2つのトランジスタについてスイッチングがそれぞれ異なるタイミングで開始されることとなるので、それらトランジスタに電流を供給する電源線の電圧が大きく変動することがなく、電流ノイズが低減し、出力に大きなノイズが発生しにくくなるという効果も得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチングの高速化の効果およびスイッチングのずれの効果も大きいので適用が好適である。

【 0 0 8 2 】

一方、本発明に係る請求項 8 記載のドライバ回路の製造方法によれば、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなるという効果が得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチングの高速化の効果が大きいので適用が好適である。

【図面の簡単な説明】

【図 1】

ドライバ回路 1 0 を積層方向から見た平面図である。

【図 2】

図 1 中の A - A' 線、B - B' 線および C - C' 線に沿った断面図である。

【図 3】

図 1 における波線領域 1 0 0 を拡大した図である。

【図 4】

図 3 中の A - A' 線に沿った断面図である。

【図 5】

図 3 中の B - B' 線に沿った断面図である。

【図 6】

駆動信号および出力信号を示すタイムチャートである。

【図 7】

ドライバ回路 1 0 を積層方向から見た平面図である。

【図 8】

図 7 における波線領域 1 0 0 を拡大した図である。

【図 9】

駆動信号および出力信号を示すタイムチャートである。

【図 1 0】

従来のドライバ回路を積層方向から見た平面図である。

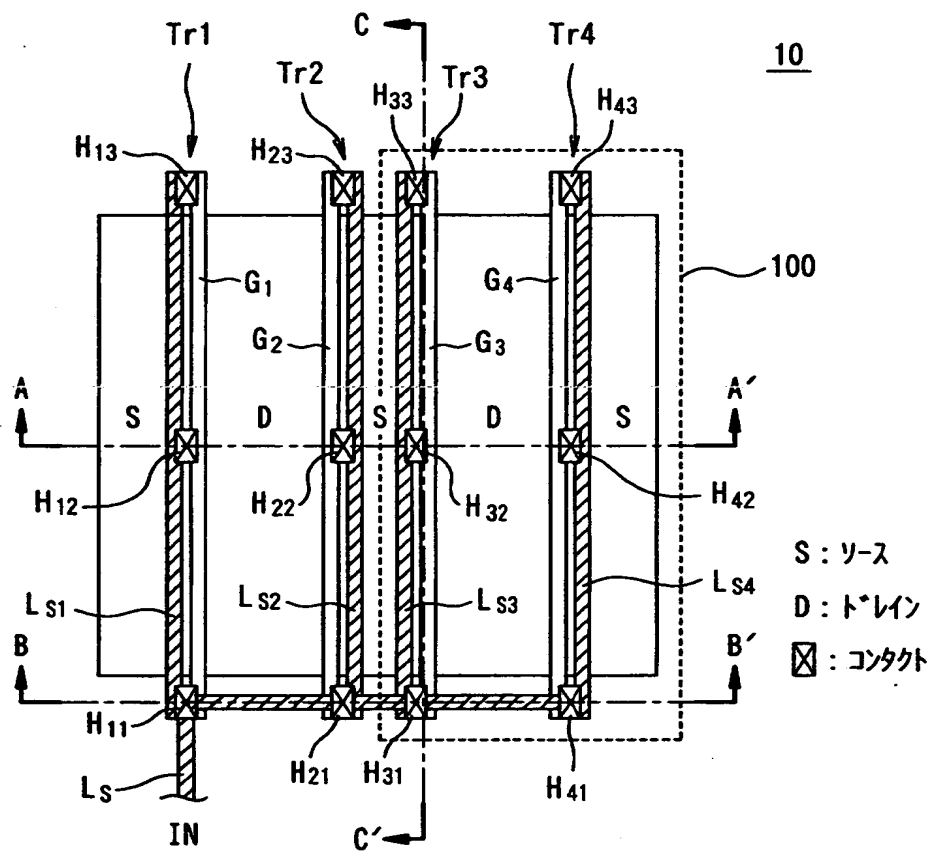
【符号の説明】

- |     |        |
|-----|--------|
| 1 0 | ドライバ回路 |
| 1 1 | 半導体基板  |

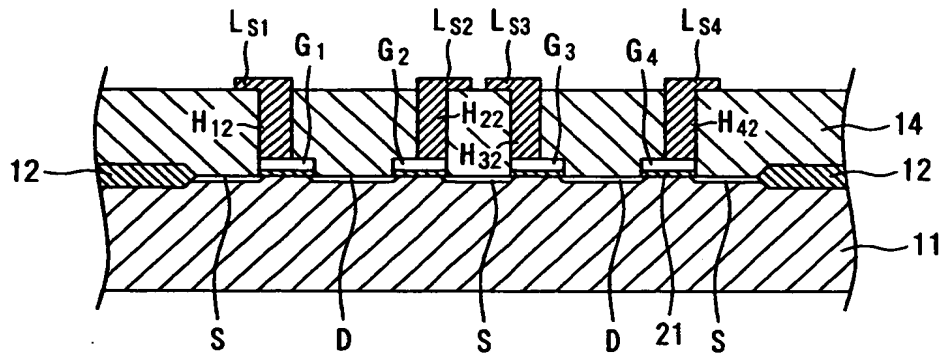
1 2	酸化膜
1 4	絶縁層
$T_{r1} \sim T_{r4}$	トランジスタ
$G_1 \sim G_4$	ゲート電極
$L_s$	信号線
$L_{s1} \sim L_{s4}$	信号線
$H_{11} \sim H_{44}$	コンタクトホール
1 5 ~ 1 7	パッド状絶縁層
2 4 ~ 2 6	不純物層
3 1	プロテクト絶縁層
3 2	層間絶縁層
3 3 ~ 3 5	シリサイド層
5 1 ~ 5 3	コンタクトホール

【書類名】 図面

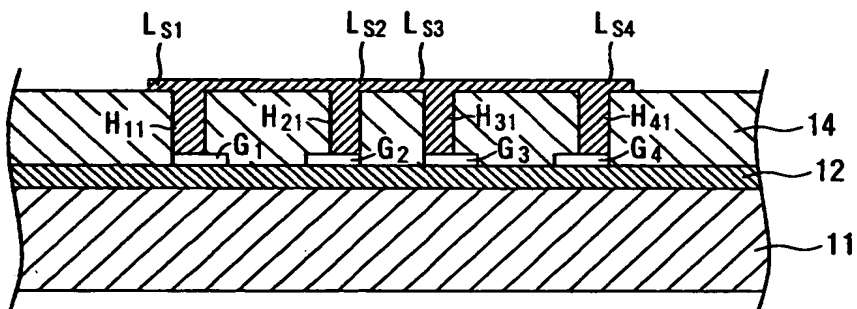
【図 1】



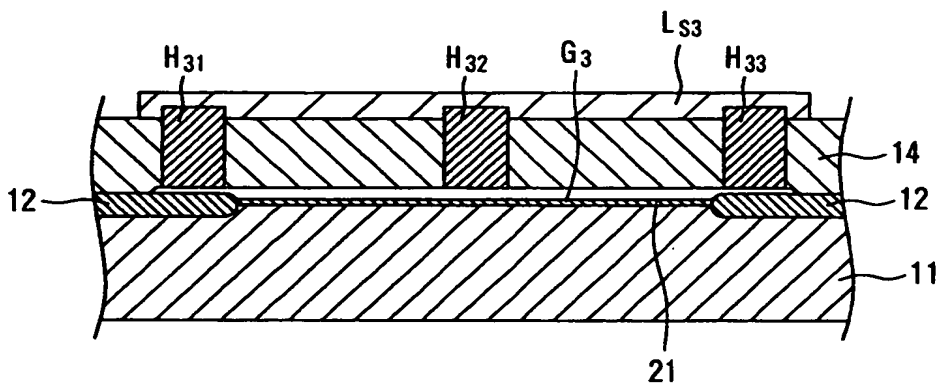
【図 2】



(a)

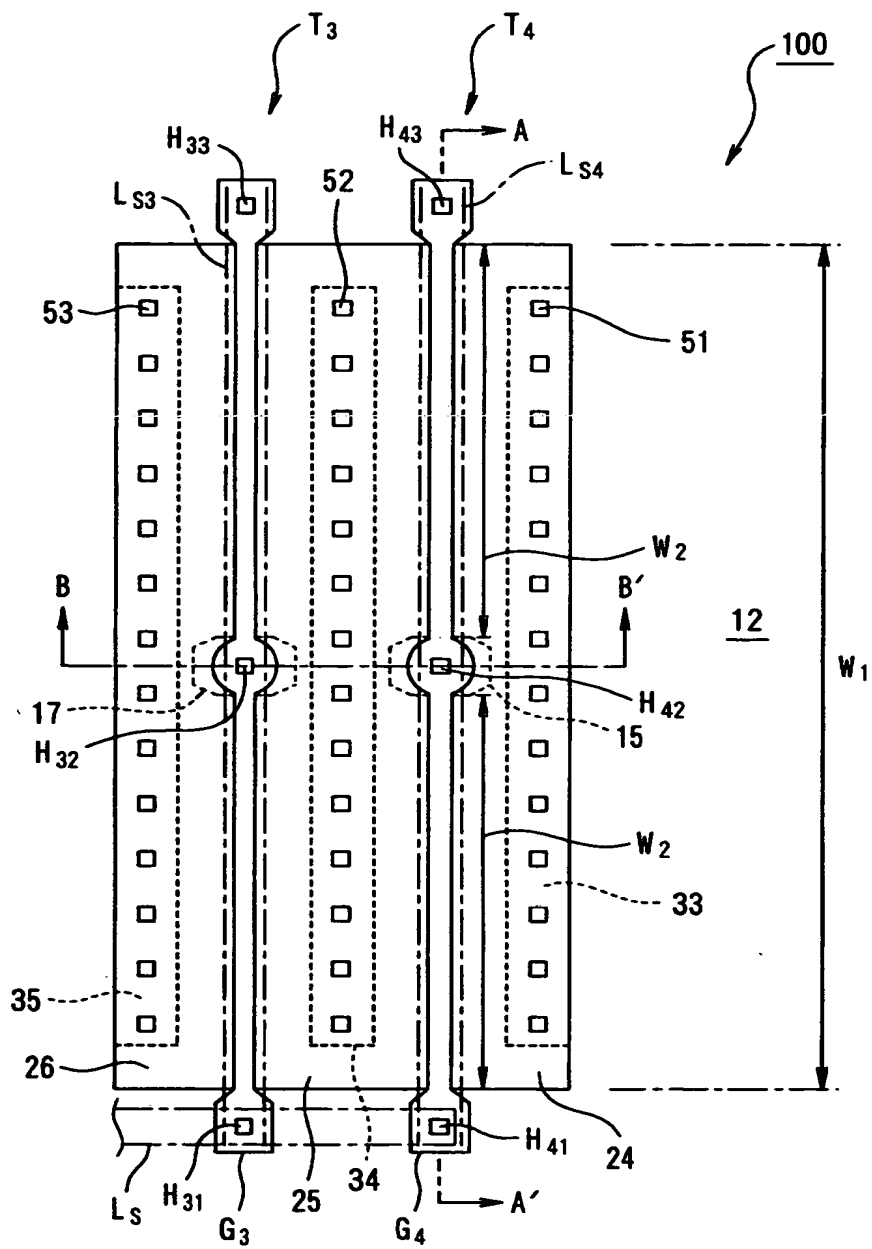


(b)



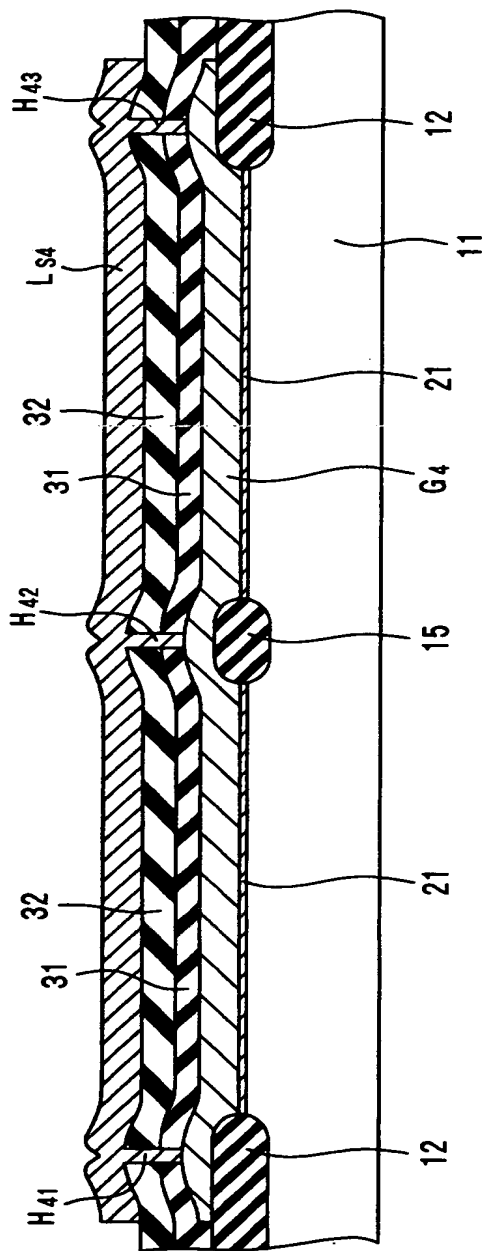
(c)

【図 3】

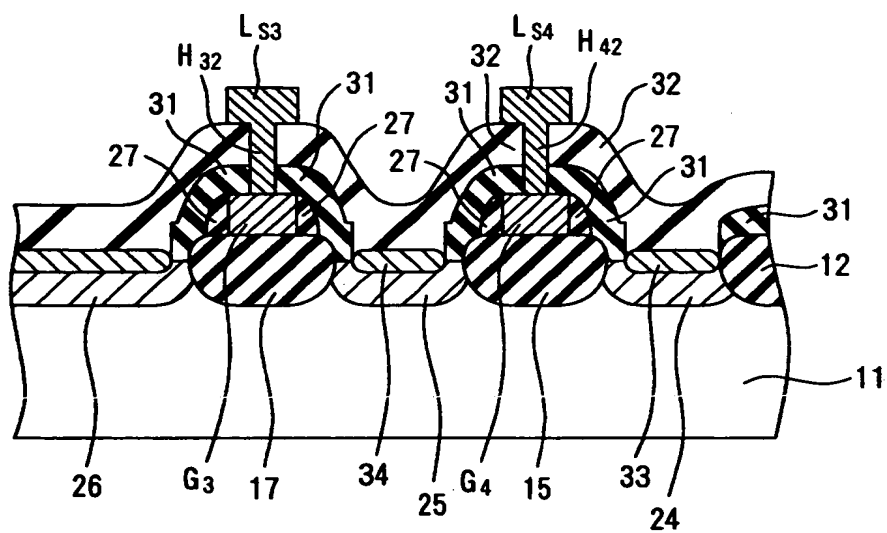




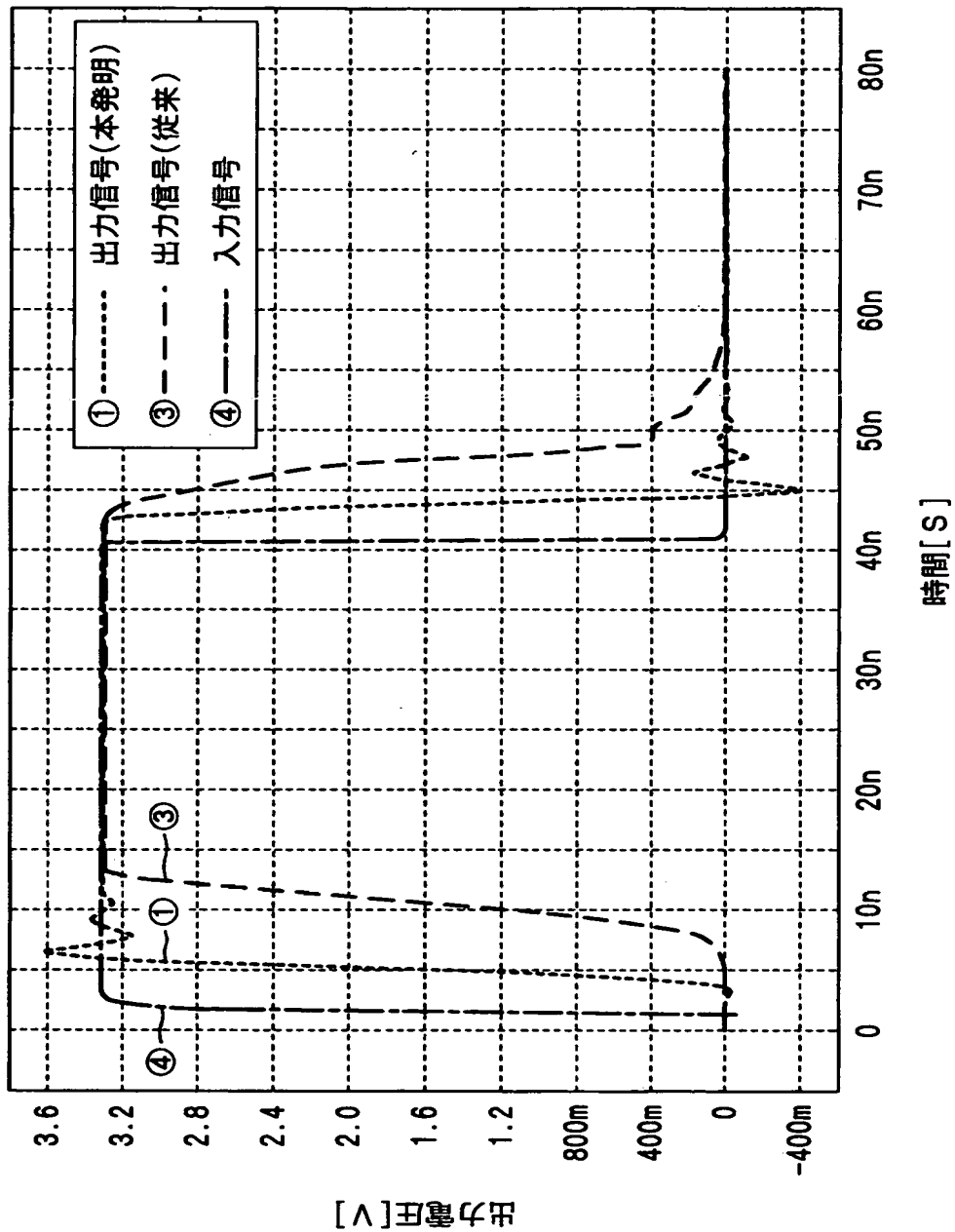
【図 4】



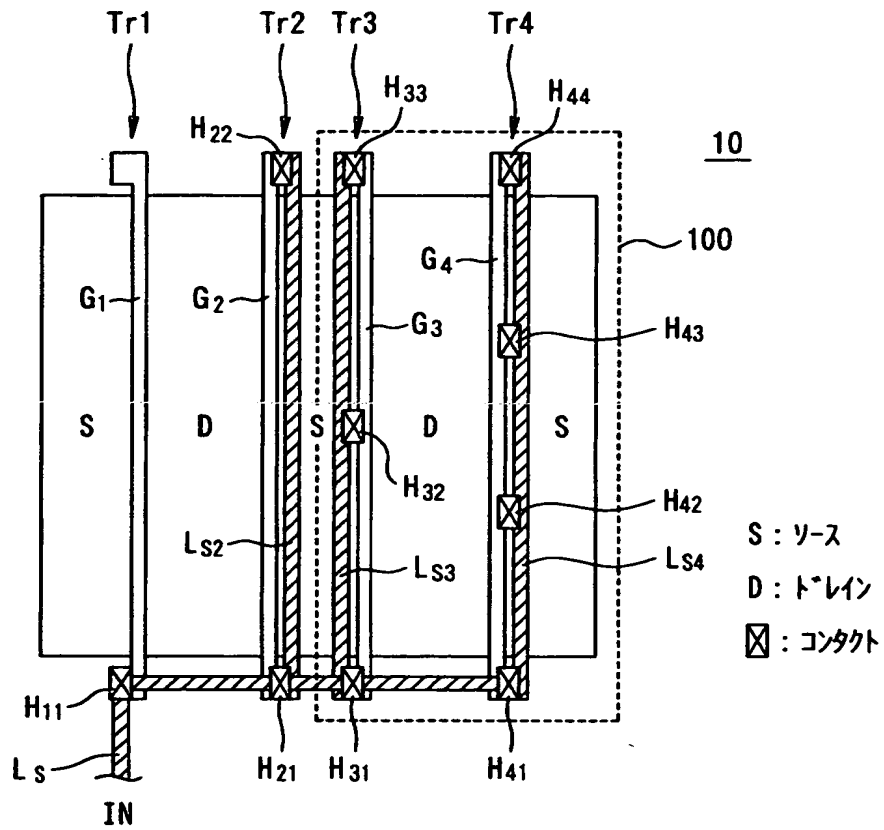
【図 5】



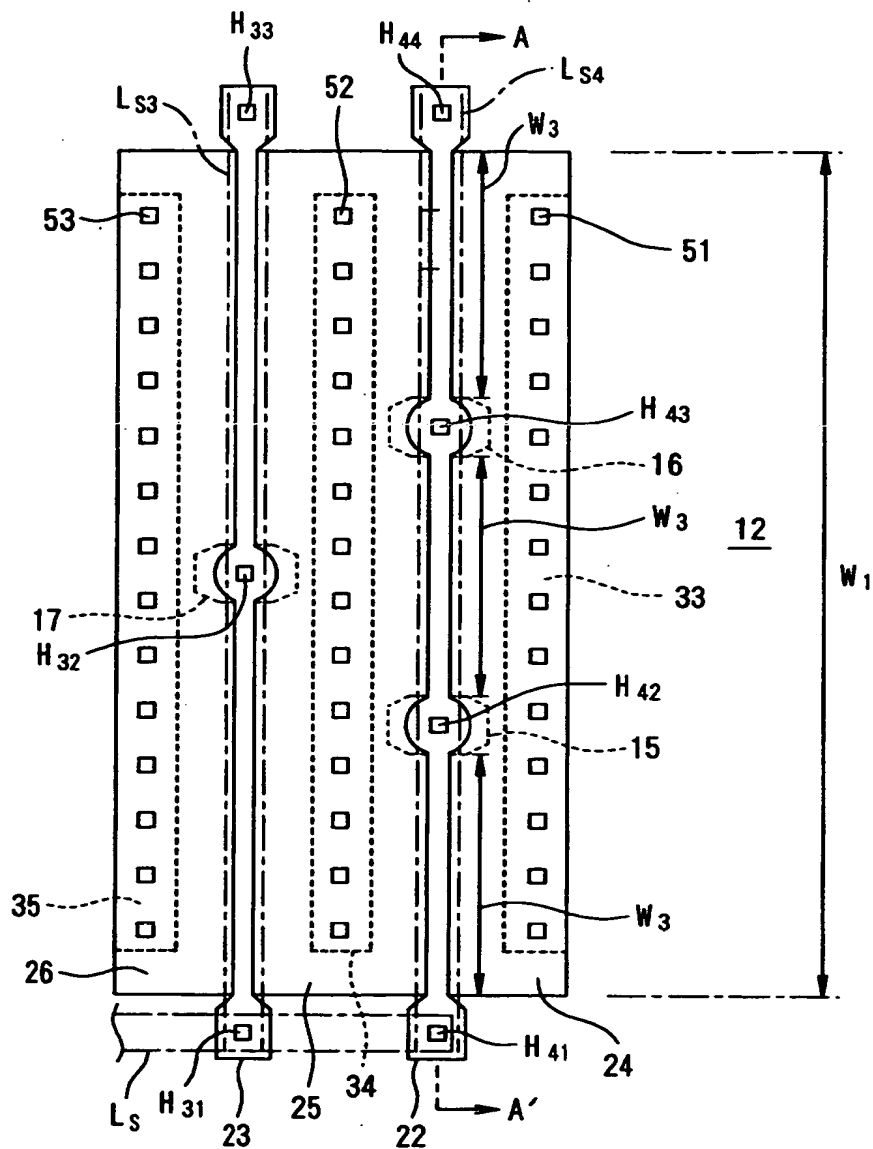
【図6】



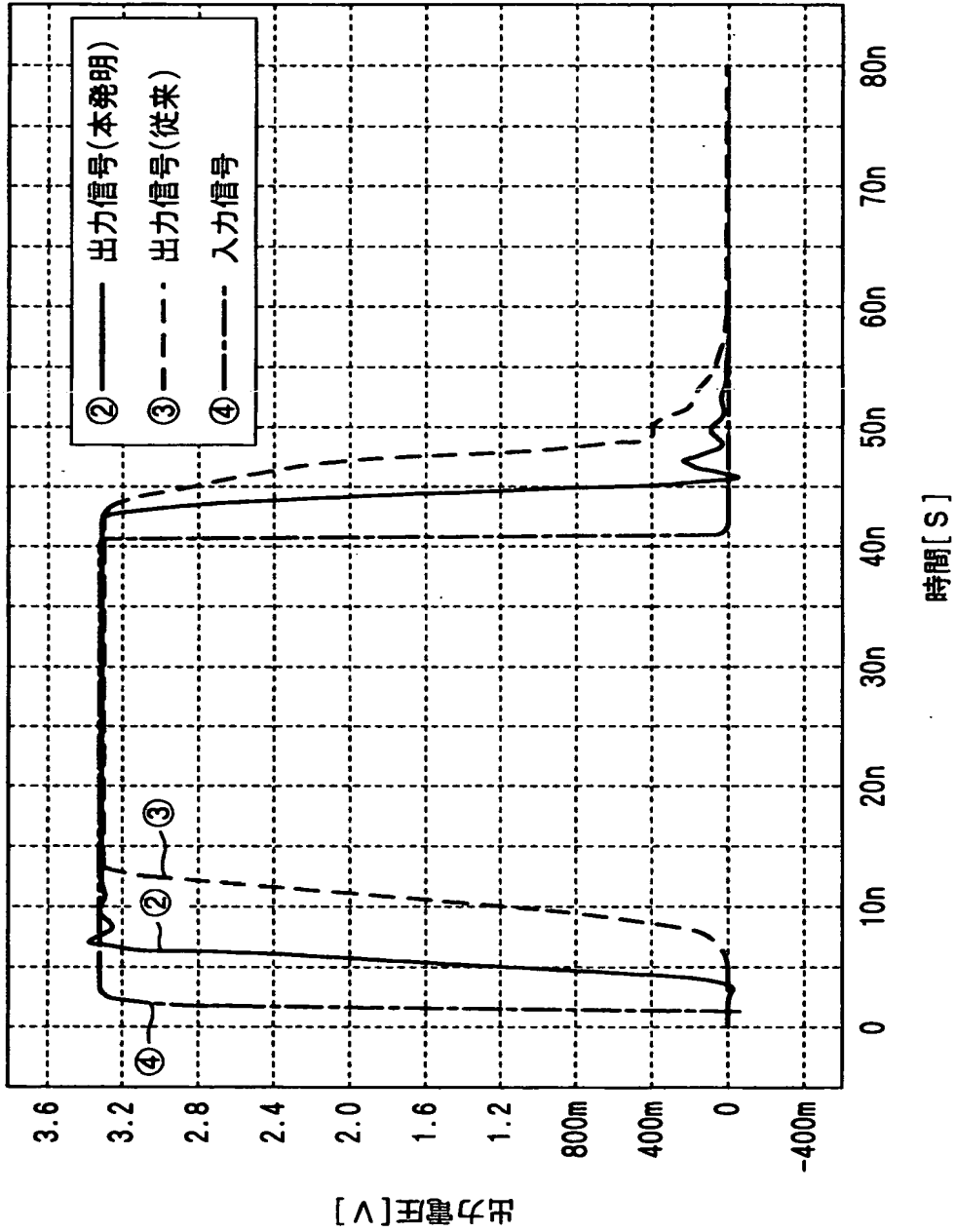
【図 7】



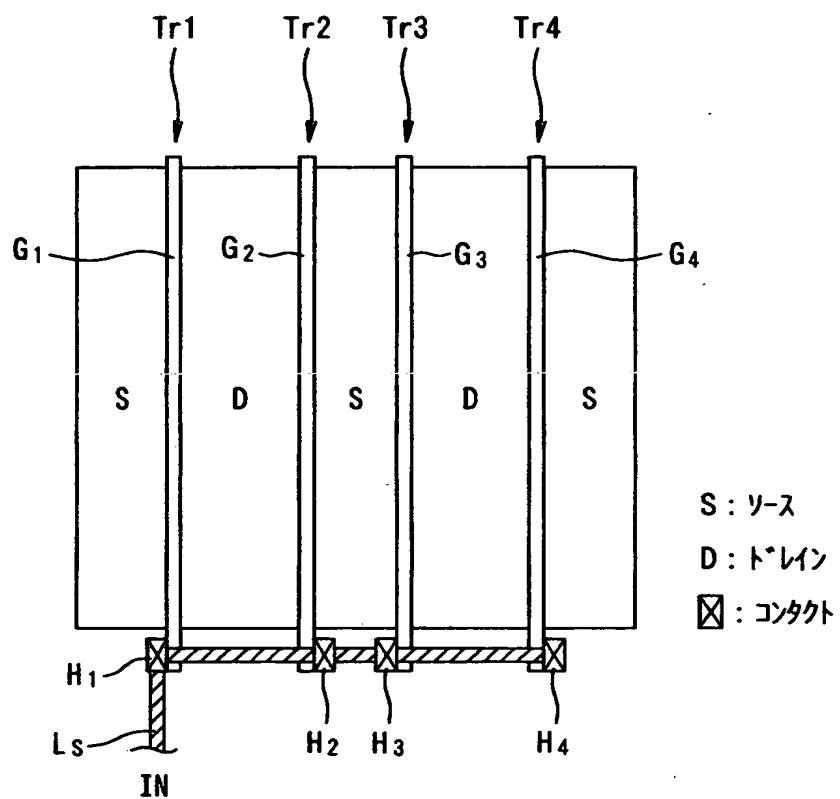
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 駆動信号の入力に対する応答に遅れが生ずるのを防止するのに好適なドライバ回路およびその製造方法を提供する。

【解決手段】 トランジスタ  $T_{r1} \sim T_{r4}$  と絶縁層 14 を隔てて形成される信号線  $L_s$ ,  $L_{s1} \sim L_{s4}$  と、トランジスタのゲート電極とを接続するコンタクトホールを、各トランジスタ  $T_{r1} \sim T_{r4}$  ごとにそれぞれ 3 つずつ設けた。これにより、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的早くなる。

【選択図】 図 3



認定・付加情報

特許出願の番号	特願2000-375104
受付番号	50001589169
書類名	特許願
担当官	第八担当上席 0097
作成日	平成12年12月13日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

申請人

【識別番号】	100066980
【住所又は居所】	東京都千代田区神田鍛冶町三丁目7番地 村木ビル8階
【氏名又は名称】	森 哲也

【選任した代理人】

【識別番号】	100075579
【住所又は居所】	東京都千代田区神田鍛冶町三丁目7番地 村木ビル8階
【氏名又は名称】	内藤 嘉昭

【選任した代理人】

【識別番号】	100103850
【住所又は居所】	東京都千代田区神田鍛冶町三丁目7番地 村木ビル8階
【氏名又は名称】	崔 秀▲てつ▼

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社